

附件 4

“光电子与微电子器件及集成”重点专项 2019 年度项目申报指南

为落实《国家中长期科学和技术发展规划纲要（2006—2020 年）》《2006—2020 年国家信息化发展战略》提出的任务，国家重点研发计划启动实施“光电子与微电子器件及集成”重点专项（以下简称“本重点专项”）。根据本重点专项实施方案的部署，现提出 2019 年度项目申报指南。

本重点专项的总体目标是：发展信息传输、处理与感知的光电子与微电子集成芯片、器件与模块技术，构建全链条光电子与微电子器件研发体系，推动信息领域中的核心芯片与器件研发取得重大突破，支撑通信网络、高性能计算、物联网等应用领域的快速发展，满足国家发展战略需求。

本重点专项按照硅基光子集成技术、混合光子集成技术、微波光子集成技术、集成电路与系统芯片、集成电路设计方法学和器件工艺技术 6 个创新链（技术方向），共部署 49 个重点研究任务。专项实施周期为 5 年（2018—2022 年）。

2019 年度项目申报指南在核心光电子芯片、光电子芯片共性支撑技术、集成电路与系统芯片、集成电路设计方法学和器件工

艺技术 5 个技术方向启动 19 个研究任务，拟安排国拨总经费概算 6.75 亿元。凡企业牵头的项目须自筹配套经费，配套经费总额与专项经费总额比例不低于 1: 1。

各研究任务要求以项目为单元整体组织申报，项目须覆盖所申报指南方向二级标题（例如：1.1）下的所有研究内容并实现对应的研究目标。除特殊说明外，拟支持项目数均为 1~2 项。指南任务方向“1.核心光电子芯片”和“2.光电子芯片共性支撑技术”所属任务的项目实施周期不超过 3 年；指南任务方向“3.集成电路与系统芯片”、“4.集成电路设计方法学”和“5.器件与工艺技术”所属任务的项目实施周期为 4 年。基础研究类项目，下设课题数不超过 4 个，参研单位总数不超过 6 个；共性关键技术类和应用示范类项目，下设课题数不超过 5 个，参与单位总数不超过 10 个。项目设 1 名项目负责人，项目中每个课题设 1 名课题负责人。

指南中“拟支持项目数为 1~2 项”是指：在同一研究方向下，当出现申报项目评审结果前两位评分评价相近、技术路线明显不同的情况时，可同时支持这 2 个项目。2 个项目将采取分两个阶段支持的方式。建立动态调整机制，第一阶段完成后将对 2 个项目执行情况进行评估，根据评估结果确定后续支持方式。

1. 核心光电子芯片

1.1 多层交叉结构的光子集成芯片（基础研究类）

研究内容：聚焦基于硅基多维度交叉结构的光子集成芯片，

研究硅基层内和层间交叉结构及其三维集成技术，包括理论数值模型和优化设计方法与多层交叉连接机理、任意层间实现高效低串扰波导耦合的方法；研究层内可快速重构光交叉连接器、超小尺寸层内和层间光交叉连接器、以及任意层间可快速重构三维光交叉连接器等核心单元器件技术；研制 CMOS 兼容的硅基多层三维集成芯片及其工艺技术、三维多层光子芯片的高效快速测试方法。

考核指标：每层包含 $\geq 4 \times 4$ 光交叉连接阵列，任意两层间可实现可重构光互连，从而构成规模 $\geq 4 \times 4 \times 3$ 的三维可重构光交叉阵列。交叉连接重构时间 $\leq 10\text{ns}$ ，层内波导损耗 $\leq 1\text{dB/cm}$ ，层内光交叉连接插损 $\leq 3\text{dB}$ ，层间耦合结构尺寸 $\leq 10\mu\text{m} \times 10\mu\text{m}$ ，层间耦合效率 $\geq 80\%$ ，层间三维光交叉连接插损 $\leq 4\text{dB}$ ，层间波导串扰 $\leq -50\text{dB}$ 。实现典型场景的应用演示，申请发明专利 20 项以上。

1.2 硅基可编程重构全光信号处理芯片（基础研究类）

研究内容：聚焦可编程宽带全光处理集成芯片，突破超低损耗、超高密度、大规模硅基光子信号处理芯片的关键技术，制备 CMOS 工艺兼容的硅基可编程重构光子信号处理芯片，实现多功能可重构滤波器、各类非线性信号处理器件（逻辑运算、再生等），并在此基础上实现硅基多通道全光混叠集成器件，实现整个芯片的电学、光学封装，完成驱动电路和控制芯片以及可编程控制软件，进行系统应用实验，从而支撑高速多功能信号处理的发展。

考核指标：研制出波导损耗 $\leq 0.6\text{dB/cm}$ ，Q 值 $\geq 1\times 10^5$ 、低插入损耗可调滤波器；研制出可编程重构信号处理芯片，带宽可调，范围 $\geq 100\text{MHz}-40\text{GHz}$ ；FSR 可调，范围 $\geq 10\text{GHz}-200\text{GHz}$ ；研制出单通道 100Gb/s 硅基可编程光子逻辑阵列器件和高维度多值逻辑运算器件；实现高阶调制格式的信号再生，非线性转换效率不低于 -15dB ；实现可编程重构全光信号处理芯片复杂逻辑功能和多维运算灵活拓展；实现不少于 8 个通道的电学、光学封装，完成外部驱动电路和控制芯片，具有软件可编程功能并实现系统验证。申请发明专利 20 项以上。

1.3 宽带微波光子信号调控核心器件与技术（共性关键技术类，拟支持 2 项）

研究内容：聚焦模拟光通信系统对宽带微波光子信号调控核心器件与技术的需求，突破宽带微波光子信号调控技术，研制同时具备数字和模拟域调控功能控芯片，宽带光子混频芯片，宽带射频光子对消芯片；研制 1×8 和 32×32 光开关阵列，光学空间模式控制芯片，多信道采集芯片与模块，以及多节点采集网络系统；研制宽带信号光域调控与采样系统。

考核指标：同时具备数字和模拟域调控的功能调控芯片，频率范围达到 25GHz 、时间带宽积达到 200、适用不低于 6 种动态信号；宽带光子混频芯片，工作频率 $\text{DC}-60\text{GHz}$ ，转换效率 $\geq -10\text{dB}$ ，杂散抑制比 $\geq 40\text{dB}$ ，无杂散动态范围 $\geq 115\text{dB}\cdot\text{Hz}^{2/3}$ ；宽

带射频光子对消芯片，工作频段 5~40GHz，对消带宽 $\geq 1\text{GHz}$ ，对消抑制比 $\geq 50\text{dB}$ ；1×8 光开关阵列，消光比 $\geq 20\text{dB}$ 、插入损耗 $\leq 10\text{dB}$ 、开关时间 $\leq 10\mu\text{s}$ ；32×32 光开关阵列，插入损耗 $\leq 15\text{dB}$ 、消光比 $\geq 20\text{dB}$ 、开关时间 $\leq 100\mu\text{s}$ ；光学空间模式控制芯片，可分辨点数 ≥ 100 ，光谱分辨 $\leq 0.5\text{nm}$ ，空间模式转换速度 $\leq 1\mu\text{s}$ ；多信道采集芯片与模块，工作频段 DC-20GHz，信道数目 ≥ 8 ；多节点采集网络系统，网络节点数目 ≥ 8 ，网络中所有节点信道数之和 ≥ 20 ，网络覆盖范围 $\geq 20\text{km}$ ；宽带信号光域调控与采样系统，频段范围 2 ~ 40GHz，边带抑制比 $\geq 30\text{dB}$ ，数据压缩比 $\leq 10\%$ ，带宽压缩比 $\leq 10\%$ ，可处理数据量 $\geq 1\text{Tbit}$ ，采样带宽 $\geq 2\text{GHz}$ ；上述芯片实现典型应用场景的演示验证，申请发明专利 30 项以上。

2. 光电子芯片共性支撑技术

2.1 面向多波段探测的混合光子集成芯片与器件(共性关键技术类)

研究内容：聚焦混合光子集成芯片共性支撑技术，研究有机材料和 III-V 族材料及金属材料混合集成技术，实现新颖的有机与无机光电功能材料相兼容的探测器件的理论设计、材料生长机理及界面主动修饰工程。研究 Si 和 III-V 族材料及量子点材料混合集成技术，实现异质材料单片集成多波长探测器阵列的原理及多链条综合性能的理论设计、材料生长及各功能器件的制备技术。研究 Si 和 III-V 族材料及滤光微结构混合集成技术，探索亚波长

结构在特定光谱探测中的高抑制比，明确多波段滤光微结构集成的波段间串扰机理。

考核指标：可重构的混合集成红外探测原型器件阵列，规模 $\geq 64 \times 1$ （立体），盲元率 $\leq 1\%$ ；量子点异质混合红外光谱芯片实现单芯片、多波长探测器件阵列，光学信号探测规模 $\geq 256 \times 256$ ，工作温度 $\geq 200\text{K}$ ，单芯片探测光谱范围覆盖 $0.9 \sim 1.7\mu\text{m}$ ，单芯片光谱分辨率 $\leq 20\text{nm}$ ，单芯片通道数 ≥ 100 ；实现具有 $1.20\mu\text{m}$ 、 $1.38\mu\text{m}$ 、 $1.61\mu\text{m}$ 和 $2.10\mu\text{m}$ 四波段窄带滤光微结构的探测器阵列，规模 512×4 （四波段），响应非均匀性 $\leq 10\%$ ，抗 γ 辐照 $\geq 20\text{krad}$ （Si），盲元率 $\leq 1\%$ ，峰值探测率 $\geq 1 \times 10^{12} \text{cmHz}^{1/2}/\text{W}$ ；实现典型场景的应用演示，申请发明专利 20 项以上。

2.2 多材料体系融合集成调制和探测芯片与器件(共性关键技术类)

研究内容：聚焦多材料体系融合集成共性支撑技术，研究 Si 基 Ge 探测器阵列制备技术；研究单晶薄膜铌酸锂（LNOI）及二维原子晶体新型材料调制器制备技术，实现 LNOI 的微加工工艺，研究 LNOI 及二维原子晶体复合纳米波导的高效光耦合技术；研究多材料体系融合混合集成光模块高效耦合与封装技术，混合集成封装光模块制备过程中的在线监测技术及无损检测技术。

考核指标：锗 PIN 和 APD 探测器阵列带宽 $\geq 35\text{GHz}$ ，并基于该探测器实现 $\geq 50\text{Gb/s}$ 的数字信号传输，实现 Si 基 Ge 探测器

与 Si 基功能芯片的集成；LNOI 及二维原子晶体新型材料高精度微纳加工，制备出传输损耗 $\leq 2\text{dB/cm}$ 的纳米波导；基于 LNOI 及二维原子晶体新型材料的调制器，带宽 $\geq 35\text{GHz}$ ，LNOI 调制器的 $V_{\pi}L \leq 10\text{V}\cdot\text{cm}$ ；有源激光器芯片与无源光波导芯片间耦合损耗 $\leq 1.5\text{dB}$ ，实现有源波导与无源波导的片上集成，实现无源光波导芯片与光纤间的耦合损耗 $\leq 1.0\text{dB}$ ；具备批量生产能力，实现批量推广应用，申请发明专利 30 项以上。

2.3 超大容量硅基多维复用与处理基础研究（基础研究类）

研究内容：聚焦大容量、可重构光通信与光互连应用系统中的核心光电子芯片支撑技术，开展硅基多维复用与处理器件技术的研究。研究硅基多模光子学及器件新结构与新机理、硅基偏振控制及转换器件、硅基多维复用机理与器件；研究硅基片上集成的光功率监测器阵列，并与多维复用解复用器件以及光开关阵列/可调光衰减器等进行单片集成；研究硅基多模波导与少模光纤的耦合问题；研制新一代超大容量的硅基可重构插分复用功能芯片。

考核指标：研制硅基多维可重构插分复用芯片，通道数 ≥ 96 （其中模式通道数 ≥ 3 、偏振通道数为 2），芯片中包含多维复用解复用单元器件、偏振控制及转换器件、光开关阵列、可调光衰减器阵列、光功率监测器阵列。实现吞吐量 $\geq 10\text{Tb/s}$ 的可重构硅基片上多维复用光信号处理及基于少模光纤的传输验证。申请发明专利 30 项以上。

2.4 高精度光学模数转换芯片（基础研究类，拟支持2项）

研究内容：聚焦高精度光学模数转换芯片的共性支撑技术，研究高速低时间抖动高信噪比的超短光脉冲源技术，包括结构与参数的优化设计、重复频率调谐技术；研究宽带光学采样及线性化技术，包括宽带微波信号光学采样技术、电光调制器参数等对光采样特性的影响、非线性失真抑制技术；研究高速高精度量化及编码技术，包括高速光采样信号和低速电量化速率匹配技术；研究高精度量化及编码技术、多通道数据的高精度还原信号恢复算法；研究光学模数转换器的集成化技术的总体架构、各部分的协同工作及优化、器件小型化及集成工艺技术。

考核指标：高速低时间抖动高信噪比的超短光脉冲源，重复频率 $\geq 4\text{GHz}$ ，脉冲宽度 $\leq 3\text{ps}$ ，时间抖动 $\leq 80\text{fs}$ （测量带宽范围 $1\text{kHz}-10\text{MHz}$ ）；宽带光学采样，采样速率 $\geq 5\text{GS/s}$ ，模拟带宽 $\geq 40\text{GHz}$ ，无杂散动态范围 $\geq 50\text{dB}$ ；高速高精度量化，单通道工作速率 $\geq 5\text{GS/s}$ ，通道数 ≥ 4 ，信噪比 $\geq 48\text{dB}$ ，量化位数 $\geq 10\text{bits}$ ，有效位数 $\geq 7\text{bits}$ ；光学模数转换器的集成化，实现输入带宽 $\geq 40\text{GHz}$ 、采样速率 $\geq 5\text{GS/s}$ 、有效位数 $\geq 7\text{bits}$ 的光学模数转换器；申请发明专利20项以上。

2.5 微结构光纤集成器件（基础研究类，拟支持2项）

研究内容：聚焦基于微结构光纤的传统通信波段（C+L波段）光子器件共性支撑技术，研究基于混合集成的超宽带有源光纤及

多维光纤放大技术；研究新型多芯空分复用通信光纤技术；研究超宽带多芯光纤信道分束器技术；研究新型多模复用通信光纤技术；研究微结构全光纤调制器件。

考核指标：光纤混合放大器件实现基于多材料体系的超宽带（C+L 波段、增益带宽 $\geq 95\text{nm}$ ）、增益 $\geq 25\text{dB}$ ；空分（多模、多芯）复用的全光纤集成器件，模式 ≥ 5 个，纤芯 ≥ 10 个；多芯光纤信道分束器件插入损耗 $\leq 1\text{dB}$ ，横向串扰 $\geq 50\text{dB}$ ，覆盖 C+L 波段；微结构光纤的调制器件插入损耗 $\leq 0.8\text{dB}$ ，调制电压 $\leq 5\text{V}$ 。申请发明专利 20 项以上。

2.6 高动态微光图像探测器件（共性关键技术类，拟支持 2 项）

研究内容：聚焦科学探索、工业检测、新一代广播电视等领域对低光条件下视觉信息的获取和处理能力不断提高的需求，开展高性能背照式光电传感技术、暗光条件下宽动态信号处理技术、晶圆级 3D 堆叠异质芯片集成技术、大尺寸器件光刻拼接技术的研究和攻关，重点突破硅基高性能光电探测阵列器件及超高清图像传感器制造关键技术。

考核指标：实现高动态微光图像探测器件，阵列规模不小于 1024×768 ，单像素尺寸不小于 $10\mu\text{m} \times 10\mu\text{m}$ ，器件最小照度不高于 $5 \times 10^{-4}\text{Lux}$ ，单次曝光动态范围大于 120dB ，实现传感、处理和目标检测识别等芯片的晶圆级 3D 集成；实现 8K 图像传感器件，阵列有效像素不小于 $7688(\text{H}) \times 4328(\text{V})$ ，单像素尺寸

3.2 $\mu\text{m}\times 3.2\mu\text{m}$, 图像获取速率不小于 60fps, 支持彩色 RGB Layer。产品具备批量生产能力, 实现批量推广应用。申请发明专利 50 项以上。

2.7 低电压线性微光探测器阵列芯片(基础研究类, 拟支持 2 项)

研究内容: 聚焦科学探索、智能视觉、智能制造等领域对视觉信息探测获取灵敏度、高速三维获取和实时处理能力越来越高的要求, 开展新型量子倍增技术、深度探测像素技术、高速读出电路技术、智能图像处理技术的研究, 重点突破三维堆叠技术及智能化飞行时间 (TOF) 三维图像传感器及量子倍增微光探测器制造关键技术。

考核指标: 实现量子倍增微光探测器, 器件工作电压小于 3V, 最低照度不高于 5×10^{-6} Lux, 动态范围达到 5×10^{-6} Lux ~ 5×10^4 Lux; 实现高速智能化的二和三维兼容图像传感器, 分辨率不小于 1920×1080 , 二维图像获取速度不小于 300fps, 三维图像获取最高速度不小于 30fps, 实现实时图像处理和目标检测识别功能的单片集成; 实现批量推广应用, 申请发明专利 30 项以上。

3. 集成电路与系统芯片

3.1 面向移动设备高速互连的低功耗接口芯片 (共性关键技术类, 企业牵头申报)

研究内容: 针对移动设备大量数据和高清图像的快速传输应用, 研制低功耗、低成本的高速接口芯片。研究低功耗、低相位

抖动的锁相环技术，研究低功耗、高信号损失补偿的自适应均衡电路设计技术，研究支持时钟展频的时钟数据恢复技术；研究信道编码和纠错技术，研究功耗管理与优化技术；研究 USB4.0 和 DP2.0 协议层的实现技术，研究 PCIe、USB2.0/3.0、DP 到 USB4.0 的桥接实现技术。

考核指标：实现一款符合 USB4.0 和 DP2.0 标准的 20Gbps PHY 原型芯片；单通道速率支持 20Gbps，误码率 $<1E-9$ ，功耗 $<100mW$ /通道，支持 $\pm 0.6\%$ 以上的时钟展频，支持 $>24dB$ 信号损失的恢复，通过 USB4.0 和 DP2.0 的 PHY 相容性测试；支持 BIST 自测试功能，含 PRBS31 等通用码型和 80-bit 用户自定义码型，支持 FEC 前向纠错功能。实现一款符合 USB4.0 和 DP2.0 标准的接口芯片；支持 4 条链路（2 条发送，2 条接收），每条链路速率 20Gbps，支持 USB4.0 和 DP2.0 标准定义的协议层，支持 USB4.0 标准中定义的 PCIe、USB2.0/3.0 和 DP 到 USB4.0 的桥接实现；通过 USB4.0 和 DP2.0 标准中协议层的相容性测试。完成通过 USB4.0 端口实现高速数据和高清图像的传送和接收的应用演示。项目期内实现出货量 1000 万片。

3.2 多协议融合的窄带物联网芯片（共性关键技术类，企业牵头申报）

研究内容：基于多模全频段宽带收发机和软件无线电架构，研制支持 NB-IoT、GNSS 及近场通讯协议的多通信协议的超低功

耗窄带物联网 SoC 芯片。研究多模协议灵活切换和智能连接组合技术，研究多模融合的宽带低噪射频接收前端设计，研究多模融合的单芯片集成射频 CMOS 功率放大器以及系统级抗干扰技术，研究超低功耗系统级以及关键模块设计，研究高性能低功耗多模自适应调度算法，研究多模通讯协议下的软件无线电的设计，基于该芯片的物联网终端平台进行示范应用并实现商用。

考核指标：研制一款 NB-IoT、GNSS 及近场通讯协议的窄带物联网 SoC 芯片；单芯片集成宽带射频收发机、多模数字基带、应用处理器、电源管理模块和 CMOS 功率放大器；支持 NB-IoT、GNSS 及至少其他一种近场通讯协议；NB-IoT 与 GNSS 模式要支持硬件复用与软件切换；工作电压范围 1.8V~4.2V，频段范围大于 700MHz~2.4GHz；NB-IoT 模式下单次灵敏度达到-117dBm（在 180kHz 带宽下），接收机噪声系数 NF<3dB，PSM 功耗 2 μ W，接收机功耗 65mW，最大发射功率不低于 23dBm；GNSS 模式冷启动灵敏度达到-146dBm，热启动灵敏度达到-155dBm，追踪与重捕灵敏度达到-158dBm，单点定位精度达到 3.5mCEP，热启动时间 1 秒，最低功耗 10mW；通过运营商 NB-IoT 测试认证，芯片产品销售 100 万片以上。

3.3 超低功耗体域网智能节点芯片（共性关键技术类）

研究内容：面向智慧城市的高精度、高能效、高可靠性智慧医疗服务应用，研制基于体域网的超低功耗智能节点芯片。研究

适合柔性可穿戴的高精度、多参数生理信号采集模拟前端电路技术，研究适用于生理信号的超低功耗人工智能算法和电路技术，研究适用于人体的能量管理技术，研究超低功耗无线数据传输技术，研究传感器和多种电路的高效系统集成技术；进行生命体征监测的应用并完成人群数据采集。

考核指标：实现基于体域网的超低功耗智能节点芯片；支持 8 个以上通道，实现至少 3 种关键生理信号（如心电、脑电、人体阻抗等）的精确采集，脑电检测噪声 $\leq 1\mu\text{Vrms}$ （在 0.5-100Hz 带宽下），输入阻抗 $\geq 1\text{G}\Omega$ ，共模抑制比 $\geq 70\text{dB}$ ，输入信号范围最大 20mV 且信号失真 $\leq 0.5\%$ ，人体阻抗灵敏度 $\leq 10\text{m}\Omega$ ；人工智能算法分类精度不低于 90%，工作功耗小于 500 μW ；无线通信数据率 $\geq 200\text{kbps}$ ，传输距离不低于 5 米；支持身份认证与数据加密。基于该芯片的整机功耗小于 5mW，连续工作时间大于 24 小时，进行生命体征监测的示范应用并完成超过 1 万人次的数据采集。

3.4 数字密集型射频/毫米波集成电路技术（基础研究类）

研究内容：面向无人机、智能机器人等应用对微型化多感知融合部件的需求，研制数字密集型的通信/雷达/导航融合射频毫米波芯片。研究宽带数字化发射机的系统架构，研究低杂散全数字锁相环型频率合成技术，研究射频毫米波电路的在片自校准技术，研究高效率高输出功率的数字功率放大器（DPA）技术，研究数

字化相控阵架构及电路设计技术，研究高度灵活的可重构技术。

考核指标：采用 28nm 以下工艺研制一款面积紧凑、便于 SoC 集成的通信/雷达/导航融合射频毫米波芯片；通信模式最大信号带宽不小于 80MHz，发射机最高输出功率不低于 20dBm，接收机噪声系数不高于 3dB，支持 2 发 2 收的 MIMO，雷达模式探测精度优于 10 厘米，探测距离不低于 200 米，导航模式至少支持 GPS 和北斗导航系统；基于该芯片完成通信/雷达/导航融合样机及其演示系统。

3.5 硅基超高速无线通信收发机芯片（基础研究类）

研究内容：面向基站间远距离大容量无线数据传输应用，研制硅基超高速毫米波通信收发机芯片；研究超高速宽带毫米波通信收发机的系统架构，研究新型高品质因数的片上无源元件，研究支持高阶调制的低相位噪声毫米波频率综合器技术，研究高输出功率的毫米波功率合成技术，研究宽带毫米波集成电路设计技术，研究毫米波宽带低噪声放大器技术低噪声接收机技术，研究毫米波芯片的封装技术及与天线的系统集成技术。

考核指标：研制一款应用于基站间远距离大容量无线数据传输的超高速毫米波收发机芯片；收发机载波频率高于 100GHz，接收机噪声系数优于 10dB，发射机输出功率高于 10dBm，支持 QPSK、16QAM 等复杂调制方式，峰值数据率不低于 48Gbps，芯片功耗不高于 600mW；并基于该芯片完成基站间大容量无线数

据传输样机及其演示系统，通信距离不低于 1000 米，峰值数据率不低于 10Gbps。

3.6 先进 DRAM 存内计算电路和架构（基础研究类）

研究内容：面向数据中心、自动驾驶等高性能 AI 计算需求，研制基于 DRAM 存内计算的 AI 加速芯片。研究基于 DRAM 工艺的轻量级计算电路，计算和存储紧耦合架构，DRAM 存储数据布局技术，DRAM 与主处理器协同计算技术以及能耗和温度控制技术。

考核指标：研制一款基于 DRAM 存内计算的 AI 加速芯片；存储容量达到 8Gb，支持存内乘加、移位和位运算，实现 CNN 等典型人工智能算法的 DRAM 片内加速。与谷歌 TPUV1.0 相比，CNN 等典型人工智能算法的计算能效提高 2 倍以上。

3.7 医疗用微纳集成芯片与集成系统（共性关键技术类）

研究内容：面向有源植入式医疗器械应用，研发植入式微纳集成芯片与集成系统；研究高效无线自供能与超低功耗无线寄生通信电路技术；研究高精度、超低功耗微纳传感器信号检测和微纳执行器控制电路技术；研究高精度、高能效生物电信号检测与刺激电路技术；研究小尺寸、高精度植入式压力传感器和小尺寸、低发热植入式微泵；研究满足生物相容性、气密性和 GMP 认证要求的有源植入式微纳集成系统的封装、集成与制造技术；面向医学诊疗应用，研发植入式诊疗用微纳集成芯片与集成系统和植

入式电生理微纳集成芯片与集成系统。

考核指标：实现面向有源植入式医疗器械的微纳集成芯片；采用无线供电，传输功率 $PDL \geq 10\text{mW}$ ，传输效率 $PTE \geq 60\%$ ；无线通讯数据率 $\geq 250\text{kbps}$ ，误码率 $\leq 1\text{E-6}$ ；微纳传感器信号检测精度 ≥ 8 比特，采样率 $\geq 20\text{kS/s}$ ；生物电信号检测输入参考噪声 rms 值 $\leq 5\mu\text{V}$ ，信号带宽 $1\text{Hz}\sim 1\text{kHz}$ ；生物电刺激精度 ≥ 8 比特，电压型刺激覆盖范围 $0\sim 7\text{V}$ ，电流型刺激覆盖范围 $0\sim 2\text{mA}$ ；实现植入式压力传感器，压力检测范围 $-20\sim 300\text{mmHg}$ ，精度 $\leq \pm 1.5\text{mmHg}$ ，尺寸 $\leq 10\text{mm}\times 10\text{mm}\times 2\text{mm}$ ；实现植入式微泵，无气泡产生，尺寸 $\leq 10\text{mm}\times 10\text{mm}\times 5\text{mm}$ ，流量 $\geq 0.5\text{mL/min}$ ；基于上述微纳集成芯片、压力传感器和微泵，实现 1 种诊疗用植入式微纳集成系统的功能样机；基于上述微纳集成芯片实现 1 种植入式电刺激微纳集成系统的功能样机；达到生物相容性、气密性和 GMP 认证的技术要求。

4. 集成电路设计方法学

4.1 EDA 创新技术研究（共性关键技术类）

研究内容：研究创新型 EDA 技术，包括：（1）研究基于 AI 的 EDA 技术，包括高层次综合技术、时序分析和优化技术、布局布线技术、模拟电路和版图综合技术、模拟电路分析优化技术，模拟电路层次建模技术等；（2）研究面向开源电路设计的 EDA 技术，包括开源硬件质量保证，开源硬件协议，开源处理器、智

能加速及模拟 IP 生成器；（3）研究超低功耗设计技术，包括超低电压单元库建模技术、超低压时序分析和优化技术、时钟树综合技术和超低电压片上存储器设计技术等；（4）研究面向先进工艺（7/5nm）和 DRAM（20nm 及以下）的高可靠性模型提取技术、高性能良率分析技术等。

考核指标：（1）基于 AI 的 EDA 技术性能较现有 EDA 技术效率提升 10% 以上；（2）支持低电压为 $0.5 \times VDD$ 的超低功耗设计；（3）高性能良率分析、可靠性模型提取效率较现有良率分析方案提升 5 倍以上；（4）申请专利 20 项以上。

5. 器件与工艺技术

5.1 非易失性存算一体化器件与电路（基础研究类）

研究内容：面向边缘计算的低功耗智能芯片需求，研制基于忆阻器的非易失存算一体化器件与电路。研究器件的微观物理机制、可微缩性、关键材料与集成方法；研究器件的低功耗、低复杂度的物理计算方法；研究可重构、高能效的存算一体化电路；研究异构存算一体化处理模块；探索其在方程求解、相似度度量等数据密集型计算加速领域的应用。

考核指标：阐明存算一体化忆阻器件的物理机制，阐明器件的理论可微缩极限；研制的存算一体化器件与 CMOS 技术兼容，特征尺寸 $\leq 100\text{nm}$ ，存算速度 $\leq 20\text{ns}$ ，能耗 $\leq 0.1\text{pJ}$ ，存算窗口 ≥ 10 倍；器件与电路可实现布尔逻辑、算术运算和矩阵运算等计算

功能；研制出 1Mb 忆阻器及其存算一体化处理模块，可支持数字计算与模拟计算两种工作模式，在线性方程、微分方程求解及相似度度量计算加速方面实现验证。